

CLIPPEDIMAGE= JP406005629A

PAT-NO: JP406005629A

DOCUMENT-IDENTIFIER: JP 06005629 A

TITLE: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

PUBN-DATE: January 14, 1994 ✓

INVENTOR-INFORMATION:

NAME

TOYODA, KEIJI

ASSIGNEE-INFORMATION:

NAME

NEC KANSAI LTD

COUNTRY

N/A

APPL-NO: JP04159093

APPL-DATE: June 18, 1992

INT-CL (IPC): H01L021/338;H01L029/812

US-CL-CURRENT: 438/571,438/FOR.336

ABSTRACT:

PURPOSE: To provide a gallium-arsenic field effect transistor having enhanced high-frequency characteristics by reducing the gate length.

CONSTITUTION: The method for manufacture semiconductor device comprises the

four steps as follows, i.e., the first step of forming a convex temporary gate 2g of an oxide film 2 by etching away the oxide film 2 until the specific half depth H by isotropical dry-etching step using the first resist 3 as a mask after forming the first resist in specific shape on the coat.formed oxide film 2 on a semiconductor substrate 1; the second step of exposing the temporary gate 2g surface by flattening the whole surface using etching back step after coating the whole surface of the oxide film 2 including the temporary gate 2g with the second resist 4; the third step of making a window by etching away the temporary gate 2g using the second resist 4 as a mask as well as the fourth

step of forming a gate G in a gate length L_g in the window part 6 later by evaporating a gate metal 5 on the whole surface.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-5629

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl.⁵H 0 1 L 21/338
29/812

識別記号

庁内整理番号

F I

技術表示箇所

7376-4M

H 0 1 L 29/ 80

F

審査請求 未請求 請求項の数 3 (全 3 頁)

(21)出願番号 特願平4-159093

(22)出願日 平成4年(1992)6月18日

(71)出願人 000156950

関西日本電気株式会社

滋賀県大津市晴嵐2丁目9番1号

(72)発明者 豊田 景二

滋賀県大津市晴嵐2丁目9番1号 関西日

本電気株式会社内

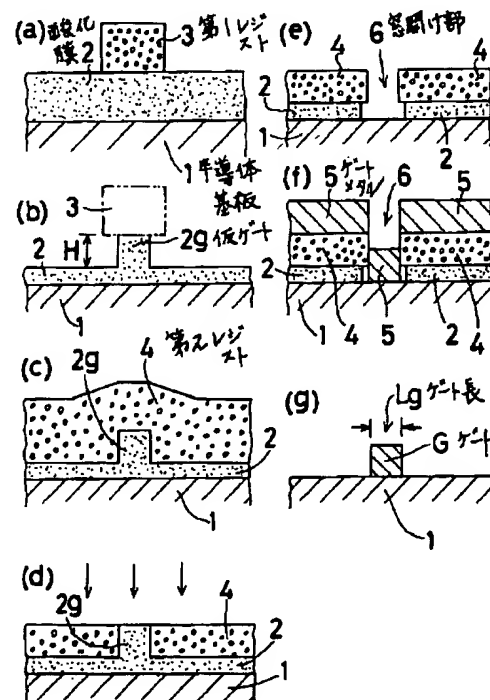
(74)代理人 弁理士 江原 省吾 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 ゲート長を細くして高周波特性を向上させたガリウム・砒素電界効果トランジスタを提供する。

【構成】 半導体基板1上に被着・形成した酸化膜2上に所定形状の第1レジスト3を形成した後、第1レジスト3をマスクとして等方性ドライエッチングにより酸化膜2を所定の途中深さHまでエッチングして酸化膜2による凸状仮ゲート2gを形成する工程と、仮ゲート2gを含む酸化膜2全面に第2レジスト4を被着した後、エッチバックにより全面を平坦化して仮ゲート2g表面を露出させる工程と、第2レジスト4をマスクとして仮ゲート2gをエッチング除去して窓開けした後、ゲートメタル5を全面に蒸着して窓開け部6にゲート長LgのゲートGを形成する工程とを含む。



1

【特許請求の範囲】

【請求項1】 半導体基板上に被着・形成した酸化膜上に所定形状の第1レジストを形成した後、上記第1レジストをマスクとして等方性ドライエッチングにより酸化膜を所定の途中深さまでエッチングして酸化膜による凸状仮ゲートを形成する工程と、上記仮ゲートを含む酸化膜全面に第2レジストを被着した後、エッチバックにより全面を平坦化して上記仮ゲート表面を露出させる工程と、上記第2レジストをマスクとして仮ゲートをエッチング除去して窓開けした後、ゲートメタルを全面に蒸着して上記窓開け部に所望のゲート長のゲートを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 第1レジストは、設定したゲート長よりも大であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 半導体基板はガリウム・砒素基板であることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特に高周波機器に用いるガリウム・砒素電界効果トランジスタのゲートの形成方法に関するものである。

【0002】

【従来の技術】例えば、衛星通信用超高周波機器では、高周波特性の良いガリウム・砒素電界効果トランジスタ（以下、GaAsFETと称す。）を高速スイッチング素子として用いる。上記GaAsFETは、図2に示すように、ガリウム・砒素基板（1）上にソース（S）とドレイン（D）の各電極パターンを対向・配置して形成すると共に、その間にゲート（G）を介在させて形成したものである。上記ゲート（G）はゲートメタルをレジストをマスクとしてエッチングして形成され、ゲート長（Lg）の動作領域（Ga）をソース（S）とドレイン（D）の電極パターン間に配すると共に、そこから電極取出し部（Gb）を一体に導出しており、レジスト幅がゲート長（Lg）にそのまま反映してその大きさを決めている。そして、上記ゲート長（Lg）が短い程、ノイズ指数を低減して高周波特性が向上することが知られている。

【0003】

【発明が解決しようとする課題】本発明が解決しようとする課題は、GaAsFETにおいてゲート長（Lg）が短い程、特性が向上するが、ゲート形成時のマスクとなるレジスト寸法を細く形成することが困難で、ゲート長（Lg）を短くして特性を向上させるのに限界がある点である。

【0004】

【課題を解決するための手段】本発明は、半導体基板上に被着・形成した酸化膜上に所定形状の第1レジストを

2

形成した後、上記第1レジストをマスクとして等方性ドライエッチングにより酸化膜を所定の途中深さまでエッチングして、酸化膜による凸状仮ゲートを形成する工程と、上記仮ゲートを含む酸化膜全面に第2レジストを被着した後、エッチバックにより全面を平坦化して上記仮ゲート表面を露出させる工程と、上記第2レジストをマスクとして仮ゲートをエッチング除去して窓開けした後、ゲートメタルを全面に蒸着して上記窓開け部に所望のゲート長のゲートを形成する工程とを含むことを特徴とし、又、第1レジストは、設定したゲート長よりも幅広であること、又、半導体基板はガリウム・砒素基板であることを特徴とする。

【0005】

【作用】上記技術的手段によれば、半導体基板上の酸化膜を所定の途中深さまで等方性ドライエッチングすることによってレジストよりも幅狭の仮ゲートを形成した後、仮ゲートをエッチングにて除去して窓開け部を形成し、その窓開け部にゲートメタルを蒸着してゲート長がレジストよりも幅狭のゲートを形成することができる。

【0006】

【実施例】本発明に係る半導体装置の製造方法の実施例を図1（a）（b）（c）（d）（e）（f）（g）を参照して以下に説明する。図において（1）はガリウム・砒素基板からなる半導体基板、（2）は酸化膜、（3）は第1レジスト、（4）は第2レジスト、（5）はゲートメタルである。

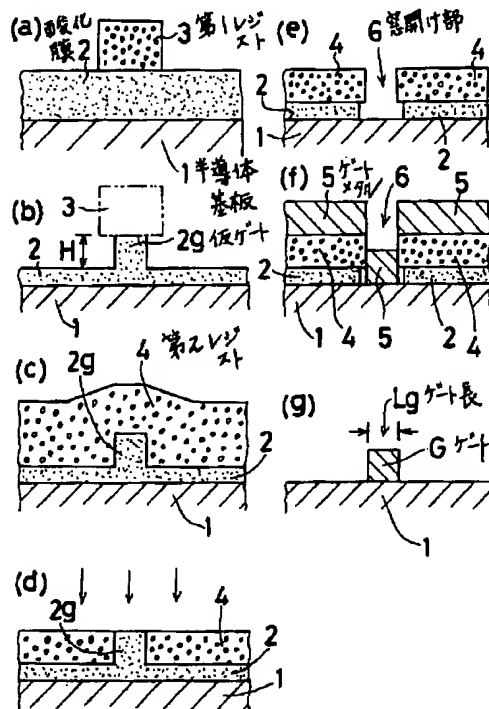
【0007】本発明は、まず図1（a）に示すように、ガリウム・砒素基板（1）上にSiO₂の酸化膜（2）を被着・形成した後、その上に所定形状の環化ゴム系第1レジスト（3）を所望の設定したゲート長（Lg）よりも大きく形成する。次に、図1（b）に示すように、第1レジスト（3）をマスクとして酸化膜（2）をH₂とCF₄のガスプラズマによる等方性ドライエッチングによって所定の途中深さ（H）まで除去する。そうすると、上記等方性ドライエッチングによって酸化膜（2）が縦横均等にエッチングされ、第1レジスト（3）よりも幅狭の凸状仮ゲート（2g）が形成される。そこで、図1（c）に示すように、仮ゲート（2g）を含む酸化膜（2）の全面に酸化膜（2）の段差よりも厚く第2レジスト（4）を被着した後、図1（d）に示すように、第2レジスト（4）をエッチバックによって平坦化すると共に、仮ゲート（2g）の表面を露出させる。次に、図1（e）に示すように、第2レジスト（4）をマスクとして仮ゲート（2g）をウェットエッチングによって全て除去して窓開け部（6）を形成する。この時、酸化膜（2）が第2レジスト（4）の下まで横にやや食い込んで除去される。そして、図1（f）に示すように、第2レジスト（4）をマスクとして窓開け部（6）内にゲートメタル（5）を蒸着形成する。その後、図1（g）に示すように、リフトオフ処理によって第2レジスト

(4)をその上のゲート金属(5)と共に剥離し、更に、酸化膜(2)を有機溶剤によって除去すると、所望の設定値(0.1~0.5 μ m)のゲート長(Lg)を持ってゲート(G)が形成される。従って、第1レジスト(3)を比較的、大きめにしている、ゲート(G)を十分、細く出来るため、第1レジスト(3)の寸法設定が容易になって作り易く、歩留まりが向上すると共に、高精度に形成出来る。尚、酸化膜(2)は残しておいても良い。

【0008】

【発明の効果】本発明によれば、ガリウム・砒素基板上にレジストよりも幅狭の酸化膜の仮ゲートを形成した後、仮ゲートをエッチングにて除去して窓開け部を形成し、その窓開け部にゲート金属を蒸着してレジストよりも幅狭のゲートを形成したから、レジストを大きくしてもゲート長を短く出来、レジストの寸法設定が容易、

【図1】



且つ、高精度になって作業性が向上し、更に、ゲート長も十分、短くなって、GaAs FETの高周波特性が向上する。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法の実施例を示す各工程図である。

【図2】GaAs FETの要部平面図である。

【符号の説明】

- 1 半導体基板
- 2 酸化膜
- 3 第1レジスト
- 4 第2レジスト
- 5 ゲート金属
- 6 窓開け部
- G ゲート
- Lg ゲート長

【図2】

